

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Tatsuya USAMI et al.

Title: SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING SAME

Appl. No.: Unassigned

Filing Date: 01/21/2004

Examiner: Unassigned

Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 2003-024281
filed 01/31/2003.

Respectfully submitted,

Date: January 21, 2004

FOLEY & LARDNER

Customer Number: 22428

Telephone: (202) 672-5407

Facsimile: (202) 672-5399

By Philip J. Articola
for / David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

Reg. No.
38,819



US

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 1月31日

出願番号 Application Number: 特願2003-024281

[ST. 10/C]: [JP2003-024281]

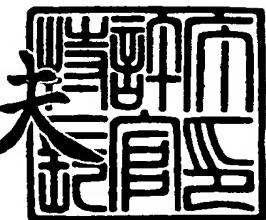
出願人 Applicant(s): NECエレクトロニクス株式会社

出願
(受)付
印

2003年12月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康



出証番号 出証特2003-3104139

【書類名】 特許願
【整理番号】 74112786
【提出日】 平成15年 1月31日
【あて先】 特許庁長官
【国際特許分類】 H01L 21/66
【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
【氏名】 宇佐美 達矢
【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
【氏名】 石上 隆司
【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
【氏名】 黒川 哲也
【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
【氏名】 小田 典明
【特許出願人】
【識別番号】 302062931
【氏名又は名称】 NECエレクトロニクス株式会社
【代理人】
【識別番号】 100110928
【弁理士】
【氏名又は名称】 速水 進治
【電話番号】 03-3461-3687

【手数料の表示】

【予納台帳番号】 138392

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216935

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、該半導体基板の上部に形成された梯子型水素化シロキサンを含む第一の絶縁膜と、該絶縁膜上に接して設けられた酸素を構成元素として含む第二の絶縁膜とを備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記第二の絶縁膜は、さらにシリコンを構成元素として含むことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、前記第二の膜は、SiO2、SiOC、SiONまたはSiOFのいずれかにより構成されることを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 いずれかに記載の半導体装置において、前記第一の絶縁膜および前記第二の絶縁膜を含む積層膜中に埋設された金属配線をさらに備えることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 いずれかに記載の半導体装置において、ガードリングを有しないことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 いずれかに記載の半導体装置において、前記梯子型水素化シロキサンは、L-Ox（商標）であることを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 6 いずれかに記載の半導体装置において、前記梯子型水素化シロキサンは、200°C以上400°C以下で焼成された膜であることを特徴とする半導体装置。

【請求項 8】 請求項 1 乃至 7 いずれかに記載の半導体装置において、前記梯子型水素化シロキサンは、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下であることを特徴とする半導体装置。

【請求項 9】 請求項 1 乃至 8 いずれかに記載の半導体装置において、前記梯子型水素化シロキサンは、波長 633 nm での膜の屈折率が 1.38 以上 1.40 以下であることを特徴とする半導体装置。

【請求項 10】 請求項 1 乃至 9 いずれかに記載の半導体装置において、ガ

ードリングを有しないことを特徴とする半導体装置。

【請求項 1 1】 半導体基板上に、梯子型水素化シロキサンを含む第一の絶縁膜を形成する工程と、酸素を含む原料ガスを用いたプラズマCVD法により、前記第一の絶縁膜に接して第二の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 に記載の半導体装置の製造方法において、前記原料ガスは、O₂、N₂O、NO、CO、CO₂、H₂O、テトラエトキシシランまたはジメチルジメトキシシランを含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 1 1 または 1 2 に記載の半導体装置の製造方法において、前記原料ガスは、さらにシリコン化合物を含むことを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の半導体装置の製造方法において、前記シリコン化合物は、SiH₄、モノメチルシラン、ジメチルシラン、トリメチルシラン、テトラメチルシラン、テトラエトキシシラン、ジメチルジメトキシシランまたはテトラビニルシランであることを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 1 乃至 1 4 いずれかに記載の半導体装置の製造方法において、前記第二の絶縁膜は、SiO₂、SiOC、SiON または SiOF のいずれかにより構成されることを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 1 乃至 1 5 いずれかに記載の半導体装置の製造方法において、前記第二の絶縁膜を形成する工程の後、さらに、前記第二の絶縁膜および前記第一の絶縁膜を含む積層膜を選択的に除去して配線溝を形成し、該配線溝中に金属を埋め込んで金属配線を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 7】 請求項 1 6 に記載の半導体装置の製造方法において、第一の絶縁膜を形成する前記工程で、前記梯子型水素化シロキサンを 200°C 以上 400°C 以下で焼成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低誘電率絶縁材料を用いた層間絶縁膜の密着性を改善する技術に関する。

【0002】**【従来の技術】**

近年、半導体素子の高速動作性に対する要求に伴い、層間絶縁膜を従来のシリコン酸化膜（誘電率K=4.3程度）から低誘電率化した材料に変更し、配線間容量を低減する検討が精力的に行われている。低誘電率絶縁材料として、誘電率3程度のHSQ、MSQ、芳香族含有有機樹脂材料などがあり、最近では、さらに低誘電率化させるため膜中に微細な空孔（ポア）を導入したポーラス材料の開発も検討されている。このような低誘電率材料を層間絶縁膜に用いることで、配線間のクロストークを低減でき、素子の高速動作を実現することが可能となる。

【0003】

低誘電率膜は一般に機械的特性やプラズマ耐性が充分でない。このため、配線の加工や絶縁膜の積層を行った際の損傷を防ぐ目的で低誘電率膜の表面に保護膜を設けることが多い。ところがこのような層構成とすると、低誘電率絶縁膜と保護膜との間で密着不良を生じる場合がある。

【0004】

特許文献1には、こうした低誘電率膜の密着不良を解決する技術が開示されている。図1は同文献に従来技術として記載された配線構造の断面図である。この配線構造はシリコン塗化膜1上にMSQ膜2およびシリコン酸化膜4がこの順で積層された層間絶縁膜を備え、この層間絶縁膜中にバリアメタル膜5および銅膜6からなる銅配線が形成されている。ここで、MSQ膜2は有機材料からなるのに対しシリコン酸化膜4は無機材料からなっているため、両者の間で密着不良が生じ、極端な場合には剥離が生じることがあった。このような問題に対し、上記公報では、図2に示すようにMSQ膜2およびシリコン酸化膜4の間にMHSQ（メチル化ハイドロジエンシルセスキオキサン）膜3を設けることで密着性の向上を図っている。同公報によれば、図示した例ではMHSQ膜3が用いられているが、ほかに、分子中にSi-H基を有するポリシロキサン化合物を用いること

ができるとされており、こうした材料からなる膜を用いることにより密着性が改善される理由として、Si-H基が脱水素化して反応活性部位が発生され、上部および下部の絶縁膜と反応を起こすことによるものと推察される、と記載されている。

【0005】

ところが、上記文献記載の技術は、密着性以外の点で、なお改善の余地を有していた。まず、図1記載の層構成は、素子中に水分が侵入しやすいという課題があった。この原因は必ずしも明らかではないが、CVD法によるシリコン酸化膜4の成膜過程でMSQ膜2の表面が変質し、吸湿しやすい層が形成されることによるものと推定される。また、図2記載の層構成では、層間絶縁膜の誘電率が上昇してしまうことがあった。分子中にSi-H基を有するポリシロキサン化合物は、プラズマ中に曝されるとその誘電率が上昇する傾向がある。図2記載の層構成では、CVD法によるシリコン酸化膜4の成膜過程でSi-H基を有するポリシロキサン化合物からなる膜の表面が変質し、誘電率が上昇するものと推察される。

【0006】

一方、特許文献2には、水素化シルセスキオキサン類からなるSOG膜上に、プラズマCVD法によるシリコン酸化膜を積層した構成が記載されている。こうすることにより、SOG膜を含む層間絶縁膜の応力が緩和され、クラックの発生を抑制できることが記載されている。

【0007】

この構成においても、層間絶縁膜の誘電率が上昇してしまう場合があった。後述するように、水素化シルセスキオキサンは一般に図3に示すようなかご型の分子構造をとるが、この分子構造中の水素が容易に脱離し、その誘電率が上昇する傾向が強い。上記文献記載の層構成では、水素化シルセスキオキサンがシリコン酸化膜の成膜過程でプラズマ中に曝され、その誘電率が上昇するものと推定される。

【0008】

ところで、層間絶縁膜へ水分が侵入することによる性能劣化を抑制するための

方法として、通常、ガードリングを設ける方法が利用される。特許文献3および特許文献4には、ガードリングを設けた半導体素子が開示されている。半導体素子中のガードリングは、半導体チップや特定パターンの保護を目的として半導体チップ又は特定パターンを囲むように形成され、半導体素子への水分の浸入を抑制し、その動作を安定させる役割を果たす。半導体素子内に水分が入り込むと、金属配線を腐食させたり、水分によって素子の特性が変化したりして、素子の信頼性が著しく低下する。そのため、特許文献3の段落0002に記載されているように、ガードリングの形成は必須の構成要素であるとされている。

【0009】

ガードリングは、半導体素子に対する製造工程中にビットラインコンタクトホールを形成し、その部分にガードリング形成物質を埋め込むことによって形成される。あるいは、ビットラインコンタクトホールに代え、ノードコンタクトホール、メタルコンタクトホールおよびビアコンタクトホールを形成した後、これらのコンタクトホール内にガードリング形成物質を埋め込むことによって形成してもよい。さらには、上記のようなコンタクトホールの周辺にダミーコンタクトホールを形成した後、ダミーコンタクトホール内にガードリング形成物質を埋め込むことによって形成することもできる。しかし、このようなガードリングを設けた場合、素子を形成することのできる面積が狭くなるため、素子の高集積化の阻害要因となる。

【0010】

【特許文献1】

特開2001-326222号公報

【特許文献2】

特開平7-240460号公報

【特許文献3】

特開平10-199883号公報 段落0002、0003

【特許文献4】

特開2002-134506号公報

【0011】

【発明が解決しようとする課題】

本発明は上記事情に鑑みなされたものであって、吸湿による半導体素子の信頼性を良好に維持しつつ絶縁膜の実効誘電率を低減することを目的とする。

【0012】

【課題を解決するための手段】

本発明によれば、半導体基板と、該半導体基板の上部に形成された梯子型水素化シロキサンを含む第一の絶縁膜と、該絶縁膜上に接して設けられた酸素を構成元素として含む第二の絶縁膜とを備えることを特徴とする半導体装置が提供される。

【0013】

また、本発明によれば、半導体基板上に、梯子型水素化シロキサンを含む第一の絶縁膜を形成する工程と、酸素を含む原料ガスを用いたプラズマCVD法により、前記第一の絶縁膜に接して第二の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0014】

MSQ等の炭素を含有する低誘電率膜は、その上に酸素を含む絶縁膜を成膜した場合、その成膜過程で低誘電率膜の損傷が起こるものと考えられる。本発明では、梯子型水素化シロキサンを用いているため、酸素を含む絶縁膜の成膜過程による劣化が有効に抑制され、層間絶縁膜の密着性が向上するものと考えられる。

【0015】

本発明において、第二の絶縁膜は、さらにシリコンを構成元素として含む構成とすることができます。たとえばSiO₂、SiOC、SiONまたはSiOFのいずれかにより構成される膜とすることができます。こうした膜は、酸素およびシリコン化合物を含む原料ガスを用いたプラズマCVD法により好適に形成することができます。

【0016】

本発明において、第一の絶縁膜および前記第二の絶縁膜を含む積層膜中に埋設された金属配線をさらに備える構成とすることができます。上記製造方法において、第二の絶縁膜を形成する工程の後、さらに、第二の絶縁膜および第一の絶縁膜

を選択的に除去して配線溝を形成し、該配線溝中に金属を埋め込んで金属配線を形成してもよい。また、半導体基板上にトランジスタ等の半導体素子が形成されてもよい。本発明によれば、梯子型水素化シロキサンを用いた層間絶縁膜により水分の浸入を効果的に抑制できるため、金属配線の劣化を防ぎ、トランジスタの動作を安定にすることができる。本発明によれば、層間絶縁膜の特性により水分の浸入を有効に抑制できるため、ガードリングを有しない構成とすることができる。すなわち、半導体素子の集積度を良好に維持しつつ素子の信頼性を向上させることが可能となる。

【0017】

【発明の実施の形態】

本発明における第一の膜は、梯子型水素化シロキサンを含む。梯子型水素化シロキサンとは梯子型の分子構造を有するポリマーであり、配線遅延防止の観点から誘電率2.9以下のものが好ましく、また膜密度が低いものが好ましい。たとえば、膜密度が 1.50 g/cm^3 以上 1.58 g/cm^3 以下、 633 nm の屈折率が 1.38 以上 1.40 以下であることが好ましい。こうした膜材料の具体例としてL-Ox（商標）等を例示することができる。

【0018】

図4に梯子型水素化シロキサン構造を有するL-Ox（商標）の構造を示す。図中、nは1以上の正の数である。このような構造を有するL-Oxの物性データを図5に示す。

【0019】

L-Oxが図4の構造を有することは、図6に示すFT-IRの観測結果により確認されている。図6のチャートで特徴的のは、約 830 cm^{-1} に現れるシャープなSi-H結合であり、このスペクトルの急峻さが、L-Oxが2次元構造を有することを示唆している。また 870 cm^{-1} 付近の高波数側にもうひとつSi-H結合のピークと想定されるものが極端に小さくなっていること、このことも測定対象物質が2次元構造を有していることを示すものと考えられる。

【0020】

L-Oxは焼成温度によっても物性が変動する。このことを図7に基づいて説

明する。

【0021】

窒素等の不活性ガス雰囲気で200°C以上400°C以下で焼成したL-O_xは、以下のような特性を有している。図7中、R.I.は633 nmの波長での屈折率を示す。屈折率は誘電率に直接影響するパラメータであり、この値は、1.38～1.40の間で推移する。200°C未満の温度および400°Cよりも高い温度では1.40を超える値を示した。

【0022】

また、密度は、200°C以上400°C以下で焼成したL-O_xは1.50～1.58 g/cm³を示した。400°Cを超える温度では、1.60 g/cm³を超える値を示した。200°C未満では測定できなかった。

【0023】

また200°C未満では、FTIRスペクトルより、約3650 cm⁻¹に現れるSi-OH（シラノール）と想定される結合が観測された。400°Cをこえる焼成温度では、密度の上昇が顕著となる。

【0024】

以上のことから、L-O_xを含む絶縁膜の成膜の際、200°C以上400°C以下の雰囲気温度で焼成することにより、低誘電率の優れた特性のL-O_xが安定的に得られることがわかる。

【0025】

図3は、従来知られている3次元的な構造をもつ水素化シルセスキオキサン構造のHSQ(Hydrogen Silsesquioxane)の分子骨格を示す（「semiconductor technology outlook 1998年：p. 431-435」より引用。）。

【0026】

上記した2つの構造の材料は、製造プロセスにおける膜安定性が大きく相違し、L-O_xの方が顕著に優れた膜安定性を示す。これは、HSQに比べてL-O_xの方が、Si-H減少量が少ないとによるものと考えられる。また、水素原子の結合の態様が異なることも原因となっているものと考えられる。すなわち、HSQにおいては、その立方体構造の角部分に水素原子が結合しているのに対し

、 L-O_x では、 梯子構造の側面に水素原子が結合している。したがって、 H-SQ の方が水素原子の周りの密度が低く、 H-SQ の水素結合は L-O_x に比較し反応性に富む構造となっているものと考えられる。

【0027】

次に、シリコン基板上に低誘電率膜を設けたサンプルと、さらにその上にキャップ膜として SiO₂ 膜を設けたサンプルを作製し、両者の誘電率を比較した結果を示す。低誘電率膜は、 L-O_x と H-SQ (ハイドロジエンシルセスキオキサン) の 2 種類とした。サンプルの構造は図 8 に示したとおりである。サンプル各部の厚みは以下の通りである。

低誘電率膜 (図中、「low-k」と表示) 0.3 μm、

SiO₂ 膜 0.1 μm

【0028】

キャップ膜のある場合とない場合の low-k 膜単体の誘電率の比較をしたところ、 H-SQ ではキャップの有無により誘電率が 2.9 から 3.5 へと変化したのに対し、 L-O_x はキャップの有無により誘電率があまり変化しなかった。

本発明において、さらなる低誘電率化のために、梯子型水素化シロキサン膜として、ポーラス梯子型水素化シロキサン膜を用いることができる。ポーラス梯子型水素化シロキサンは、テンプレート法を用いて形成することができる。梯子型水素化シロキサンの溶液に有機ポリマーで構成されるポロジエンを溶かし、約 200 °C での焼成にて、水素化シロキサン骨格が形成され、300 °C 程度で有機ポリマーが分解し、350 °C 烧成で焼成が十分に行われ、その部分にポアが形成されポーラス膜が形成される。これがポーラス梯子型水素化シロキサン膜であり、ポロジエンの導入量により現状最下限で比誘電率 2.2 程度が実現できる。膜の製造安定度から考え $k = 2.4 \sim 2.6$ 程度のものが最適であり、ここではこれをポーラス L-O_x とよぶ。

ポーラス L-O_x の FTIR スペクトル上は、 L-O_x とはスペクトル形状は同じものが得られるが膜強度は膜密度に伴って小さくなつた。

前記と同様にシリコン基板上に低誘電率膜を設けたサンプルと、さらにその上にキャップ膜として SiO₂ 膜を設けたサンプルの low-k の誘電率比較をこ

のポーラスL-O_x膜k=2.4で実施したところ、キャップ無しでの誘電率が2.4であり、キャップ有りの場合のL_{ow}-k単体部の誘電率が2.5程度であり、あまり大きな誘電率の上昇は確認されなかった。

【0029】

次に、本発明の好ましい実施の形態について、図面を参照して説明する。

【0030】

第一の実施の形態

図9は本実施形態に係る半導体装置の製造工程を示す断面図である。

【0031】

本実施の形態に係る半導体装置の製造方法では、半導体素子を形成した基板（不図示）上に下地絶縁膜201を設け、その上に、配線溝形成時のエッチングストッパー膜となるSiCN膜202をプラズマCVD法により50nm成膜する。次に、と不法によりL-O_x膜203を300nm成膜し、400℃の焼成をN₂雰囲気で30分行う。つづいて、プラズマCVD法によりSiO₂膜204を100nm成膜する（図9（a））。SiO₂膜204の成膜は、原料ガスとして、SiH₄およびN₂Oを用い、流量をそれぞれ、200～300sccm、3500～4000sccmとした。

【0032】

その後、不図示のレジストマスクを用いてSiO₂膜204とL-O_x膜203を選択的にドライエッチングし、配線溝207を形成する（図9（b））。

【0033】

次に、SiCNを除去するため、全面エッチバックを行う。その後、バリアメタルとしてTa/TaN膜208（上層がTa、下層がTaNの積層膜。以下同様。）を30nmスパッタリング法により成膜した後、その上にシード層となるCu膜をスパッタリング法により成膜する。その後、配線溝207を埋め込むように、電解メッキ法によりCu膜209を成膜する（図9（c））。このCu膜209をN₂雰囲気で400℃、30分間アニールし、結晶化させる。次に、SiO₂膜204上のCu膜209およびTa/TaN膜208をCMPにより除去して配線溝207外部の銅を除去する。CMPは、SiO₂膜204表面が露

出するまで行う。これにより銅配線が形成される（図9（d））。

【0034】

図9（d）の後、さらに、層間絶縁膜を形成し、多層配線構造とすることができる。また、図では単一の銅配線の断面のみを示したが、他の領域に複数の配線を同時に設けてもよい。

【0035】

本実施形態により得られる銅配線構造は、銅配線と同層に形成される配線間絶縁膜がL-O_x膜203およびSiO₂膜204により形成されている。L-O_x膜203の誘電率は、2.9程度の値を安定的に示す。このため、図示した銅配線と、不図示の隣接する銅配線との間のクロストークが効果的に抑制される。また、前述したように、梯子型水素化シリコサン構造を有するため膜厚や膜特性が安定であり、製造プロセス中に膜質が変化することが少ない。このため、本実施形態によれば、設計通りの素子を製造安定性良く作製することができる。一方、SiO₂膜204はL-O_x膜203に比べてCMP耐性等に優れるため、保護膜として機能する。具体的には、SiO₂膜204は、銅配線形成時のCMP工程における配線間絶縁膜の損傷を抑制する役割を果たす。また、L-O_x膜203とSiO₂膜204との間の密着性は良好であり、水分の浸入を充分に抑制することができる。以上のことから、本実施形態の構成によれば、高性能で信頼性の高い配線構造を実現することができる。

【0036】

第二の実施の形態

本実施形態は、シングルダマシン構造の二層銅配線に本発明を適用した例である。図10は本実施の形態に係る半導体装置の構造を示す断面図である。本実施の形態に係る半導体装置は、Cu膜209からなる下層配線が銅プラグ228を介して、Cu膜223からなる上層配線に接続された構成を有している。

【0037】

Cu膜209からなる下層配線は、下地絶縁膜201、SiCN膜202、L-O_x膜203およびSiO₂膜204からなる積層膜中に形成されている。Cu膜209の側面と底面はTa/TaN膜208に覆われている。

【0038】

銅プラグ228は、SiCN膜211およびSiO₂膜212からなる積層膜に形成された孔部に設けられており、その側面と底面はTa/TaN膜226に覆われている。

【0039】

Cu膜223からなる上層配線は、SiCN膜213、L-Ox膜216およびSiO₂膜217からなる積層膜に形成されている。Cu膜209の側面と底面はTa/TaN膜220に覆われ、その上面を覆うようにSiCN膜222が形成されている。

【0040】

次に、本実施の形態に係る半導体装置の製造方法について説明する。図11～図14は本実施形態に係る半導体装置の製造工程を示す断面図である。本実施形態において、L-Ox膜およびその上に形成されるSiO₂膜は、第一の実施の形態と同様の条件で成膜される。

【0041】

本実施形態では、まず、第一の実施の形態と同様にしてCu膜209からなる下層配線を形成する。次に、SiCN膜211、SiO₂膜212を順に形成する（図11（a））。

【0042】

つづいてSiO₂膜212上に反射防止膜250とフォトトレジスト214を塗布し、フォトリソグラフィー技術を用いて、フォトトレジスト214に開口部を設ける（図11（b））。

【0043】

このフォトトレジスト214を用いてSiO₂膜212をエッチングし、ビアパターンを形成する。その後、アッシングを行い、フォトトレジスト214と反射防止膜250を除去する（図11（c））。次に、ビア底のSiCN膜211をエッチバックし、つづいて剥離液によりエッチング残渣を除去する（図11（d））。

【0044】

その後、スパッタリング法により、膜厚30nmのTa/TaN膜226を成膜し、この上にシード用のCu膜（不図示）を形成した後、電解メッキ法によりCu膜227を700nm成膜し、ビアパターンに埋め込む。その後、結晶化のために400℃の熱処理を行う（図12（e））。

【0045】

次に、SiO₂膜212上のCu膜227およびTa/TaN膜226をCMPにより除去し、銅プラグ228を形成する（図12（f））。

【0046】

次に、この銅プラグ228上に、Cu拡散防止膜となるSiCN膜213を50nm成膜する（図12（g））。

【0047】

つづいて、その上にL-Ox膜216を300nm塗布・焼成した後、その上にSiO₂膜217を100nm成膜する。

【0048】

次に、反射防止膜250とフォトレジスト218を塗布し、フォトリソグラフィー技術を用いてフォトレジスト218に開口部を設ける（図13（h））。このフォトレジスト218をマスクとして、SiO₂膜217とL-Ox膜216をエッチングし、次いでアッシングによりフォトレジスト218と反射防止膜250を除去する。つづいて、エッチバックにより配線溝底部のSiCN膜213を除去した後、剥離液によりエッチング残渣を除去する（図13（i））。

【0049】

その後、スパッタリング法により、Ta/TaN膜220を30nm成膜し、Ta/TaN膜220の上にシード用のCu膜（不図示）を100nm成膜する。その上に、電解メッキ法によりCu膜221を700nm成膜した後、SiO₂膜217の表面が露出するまでCMPを行う。これにより上部配線が形成される（図14（j））。

【0050】

次に、Cu拡散防止膜としてSiCN膜222を膜厚50nmで成膜する（図14（k））。

【0051】

本実施形態では、層間絶縁膜がL-O_x膜およびSiO₂膜により形成されている。L-O_x膜の誘電率は、2.9程度の値を安定的に示す。このため、図示した銅配線と、不図示の隣接する銅配線との間のクロストークが効果的に抑制される。また、前述したように、梯子型水素化シリコサン構造を有するため膜厚や膜特性が安定であり、製造プロセス中に膜質が変化することが少ない。このため、本実施形態によれば、設計通りの素子を製造安定性良く作製することができる。一方、SiO₂膜はL-O_x膜に比べてCMP耐性等に優れるため、保護膜として機能する。具体的には、SiO₂膜（204、217）は、銅配線形成時のCMP工程における配線間絶縁膜の損傷を抑制する役割を果たす。また、L-O_x膜とSiO₂膜との間の密着性は良好であり、水分の浸入を充分に抑制することができる。以上のことから、本実施形態の構成によれば、高性能で信頼性の高い配線構造を実現することができる。

【0052】

以上、実施の形態に基づいて本発明を説明したが、これらは例示であり、その構成やプロセスを適宜変更することができる。

【0053】

たとえば、上記実施の形態では銅配線を用いたが、配線中にAl、Ag（銀）、W（タンゲステン）、Mg（マグネシウム）、Be（ベリリウム）、Zn（亜鉛）、Pc（パラジウム）、Cd（カドミウム）、Au（金）、Hg（水銀）、Pt（白金）、Zr（ジルコニウム）、Ti（チタン）、Sn（スズ）、Ni（ニッケル）、Nd（ネオジウム）およびFe（鉄）といった異種元素のうち少なくとも一つと合金を形成した銅合金配線とすることもできる。

【0054】

また上記実施の形態ではバリアメタルにTa/TaN膜を用いたが、バリアメタルは、Ti、TiN、TiSiN、Ta、TaN、およびTaSiNのうち少なくとも一つ有する構成とすることもできる。

【0055】

【実施例】

実施例 1

本実施例では、層間絶縁膜としてL-OxおよびSiOCを用いた配線構造についてPCT (Pressure Cooker Test; プレッシャークッカーテスト) を行い、吸湿性の評価を行った。評価サンプルの構造を図15に示す。このサンプルは、Low-k膜を含んだCuのシングルダマシン構造を有しており、下層銅配線および上層銅配線が銅からなるビアプラグを介して接続した構造となっている。基板はシリコン基板を用い、ストッパーおよびバリア絶縁膜はSiC系膜を用いた。またカバー膜は、SiON/SiO₂（上層がSiON、下層がSiO₂）の2層構造とした。カバー膜を設けているため、配線構造上面からの水分の侵入は抑制されている。

【0056】

層間絶縁膜は、配線部およびビア部ともLow-k膜を用いた。Low-k膜として。(i)無機シロキサン材料の塗布膜であるL-Oxおよび(ii)平行平板型プラズマCVD装置を用いたCVD-SiOC膜の2水準を用い、2種類のサンプルをそれぞれ3個ずつ作製した。Low-k上のハードマスクは、平行平板型CVD装置によるSiH₄とN₂Oガスを用いたSiO₂膜を使用した。加速試験のためサンプルはダイシング後のものを使用した。

【0057】

上記2種類のサンプルについて、それぞれサンプルを3個ずつ用意し、PCT (125°C、100% HUMIDITY、96 h、2気圧) 前後の配線間容量データ変化を測定した。配線間容量とは、同層配線間容量を意味し、ここでは、上層配線における配線間のスペース間隔0.14 μmの配線間を測定した。

【0058】

図16は、PCT前を100%として、その後の容量比を測定したデータである。L-Oxを使用したサンプルではPCT前後で値の変化は認められなかったが、SiOCを用いたものは、3枚とも約20%の配線間容量の増加となり、96 hですでに吸湿がチップ内部に起こっていることが推測される。

【0059】

SiOCを用いたサンプルについて、光学顕微鏡を用いてPCT後の外観観察

を行ったところ、気泡のような外観不良が観測された。この状態を図17に示す。この気泡は、水分の侵入により生じたものであり、SiOCを用いたサンプルではチップ内部に水が浸入しているものと考えられる。一方、L-Oxを使用したサンプルでは、外観の異常は認められなかった。

【0060】

実施例2

本実施例では、シリコン基板上に種々の絶縁膜材料を用いて積層膜を設け、PCTにより吸湿性を評価した。サンプルは、シリコン基板に2種類の絶縁膜を積層し、その上にSiON/SiO₂（上層がSiON、下層がSiO₂）からなるカバー膜を設けた構造とした。SiO₂膜は、平行平板型CVD装置により、SiH₄とN₂Oガスを用いて成膜した。

【0061】

2種類の絶縁膜の構成とは図18に示したとおりである。図18中、「SiO₂①」は、プラズマCVD法により形成したシリコン酸化膜であり、「SiO₂②」は、プラズマCVD法により形成したシリコン酸化膜の成膜前にHeプラズマ処理したものである。「SiCN(CMP)」とは、下層の絶縁膜に対してメタルCMPを実施した後、SiCNを成膜したものである。

【0062】

たとえば図18(a)においてSiOCを選択し、上層膜としてSiO₂①を選択した場合、このサンプルの層構造は、上部から下部（基板側）に向かって、SiON/SiO₂/SiO₂①/SiOC/シリコン基板となる。また、図18(b)においてSiOCを選択した場合、このサンプルの層構造は、SiON/SiO₂/SiCN/SiOC/シリコン基板となる。

【0063】

評価の結果、SiOCやポリフェニレンを用いた場合、その上部にSiO₂膜を設けるとPCTの結果が不良になった（図18(a)）。これは、SiOCやポリフェニレンの上部にSiO₂膜を成膜する際、SiOC等の表面が酸素プラズマに曝され、有機成分が分解して吸湿しやすい表面層が形成されることによるものと推定される。また、下層膜としてSiCNを設け、その上にSiOCやポ

リフェニレンを設けた場合もPCT特性が不良となることが明らかになった。これは、SiOCやポリフェニレン上にカバー膜下層のSiO₂が接しており、結局、上層のSiO₂形成時に酸素プラズマに曝されることが原因と考えられる。

【0064】

一方、L-O_xを用いた場合は、上層膜や下層膜の種類によらず良好なPCT特性が得られた。L-O_xは、その特異な分子構造により、L-O_x膜自体が優れた膜特性を有するだけでなく、他の膜との密着性やプラズマ耐性の点でも優れた特性を発揮する。このため、良好な結果が得られたものと考えられる。

またポーラスL-O_x(k=2.4)とは誘電率2.4のポーラスL-O_xのことであるがこの場合も上層膜や下層膜の種類によらず良好なPCT特性が得られた。前記密着性、プラズマ耐性に加えL-O_xも、ポーラスL-O_xも有機成分が入っていないことも良好な結果が得られた原因であると考えられる。

【0065】

なお、SiO₂膜を設けた場合も良好なPCT特性が得られたが、この場合は層間絶縁膜の誘電率が高くなり、実用上、この点が問題となる。

【0066】

ここでは、SiO₂の例を示したが、酸素元素を含むSiOC(正確な組成はSiOCH)、SiON(正確な組成はSiONH)およびSiOFでも同様の結果が得られる。

【0067】

また、SiO₂成膜ガス中の酸化ガスとしてN₂Oガスを用いた例を示したが、その他の酸素を含む原料ガスである、O₂、N₂O、NO、CO、CO₂、H₂O、テトラエトキシシランまたはジメチルジメトキシシランを用いても良い。

【0068】

また、SiO₂成膜ガスに含まれるシリコン化合物として、SiH₄を用いた例を示したが、モノメチルシラン、ジメチルシラン、トリメチルシラン、テトラメチルシラン、テトラエトキシシラン、ジメチルジメトキシシランまたはテトラビニルシランを用いても良い。

【0069】

【発明の効果】

以上説明したように本発明によれば、吸湿による半導体素子の信頼性を良好に維持しつつ絶縁膜の実効誘電率を低減することができる。

【図面の簡単な説明】**【図 1】**

従来の配線構造の一例を示す図である。

【図 2】

従来の配線構造の一例を示す図である。

【図 3】

H S Q の分子骨格を示す図である。

【図 4】

梯子型水素化シロキサン構造を有する L-Ox (商標) の構造を示す図である

。

【図 5】

L-Ox (商標) の物性データを示す図である

【図 6】

L-Ox の I R スペクトルを示す図である。

【図 7】

L-Ox の屈折率および密度の焼成条件依存性を示す図である。

【図 8】

誘電率の測定結果を示す図である。

【図 9】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 10】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 11】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 12】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 1 3】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 1 4】

実施の形態における銅配線形成プロセスを示す工程断面図である。

【図 1 5】

実施例で評価した銅配線構造の概略図である。

【図 1 6】

プレッシャークッカーテストの評価結果を示す図である。

【図 1 7】

プレッシャークッカーテスト実施後の膜のふくれを顕微鏡観察した図である。

【図 1 8】

プレッシャークッカーテストの評価結果を示す図である。

【符号の説明】

201 下地絶縁膜

202 SiCN膜

203 L-Ox膜

204 SiO₂膜

207 配線溝

208 Ta/TaN膜

209 Cu膜

211 SiCN膜

212 SiO₂膜

213 SiCN膜

214 フォトレジスト

216 L-Ox膜

217 SiO₂膜

218 フォトレジスト

220 Ta/TaN膜

221 Cu膜

222 SiCN膜

223 Cu膜

226 Ta/TaN膜

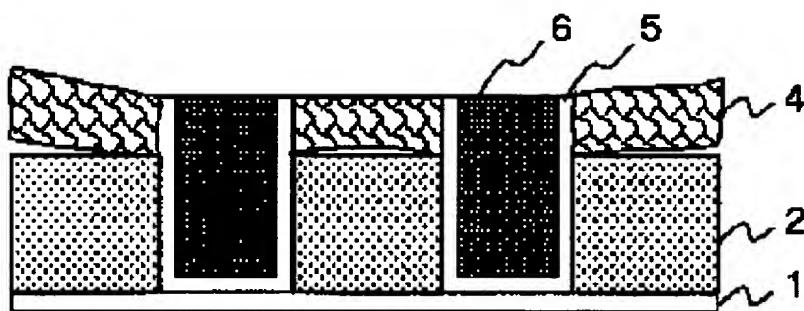
227 Cu膜

228 銅プラグ

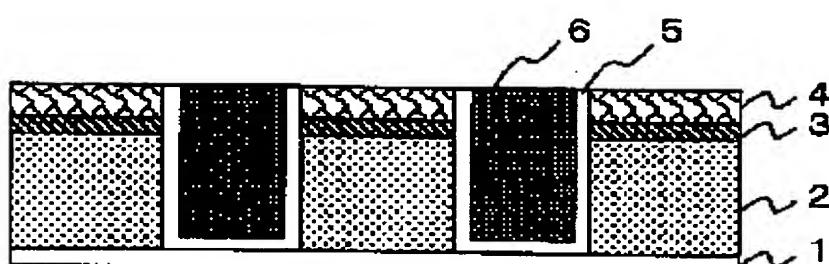
250 反射防止膜

【書類名】 図面

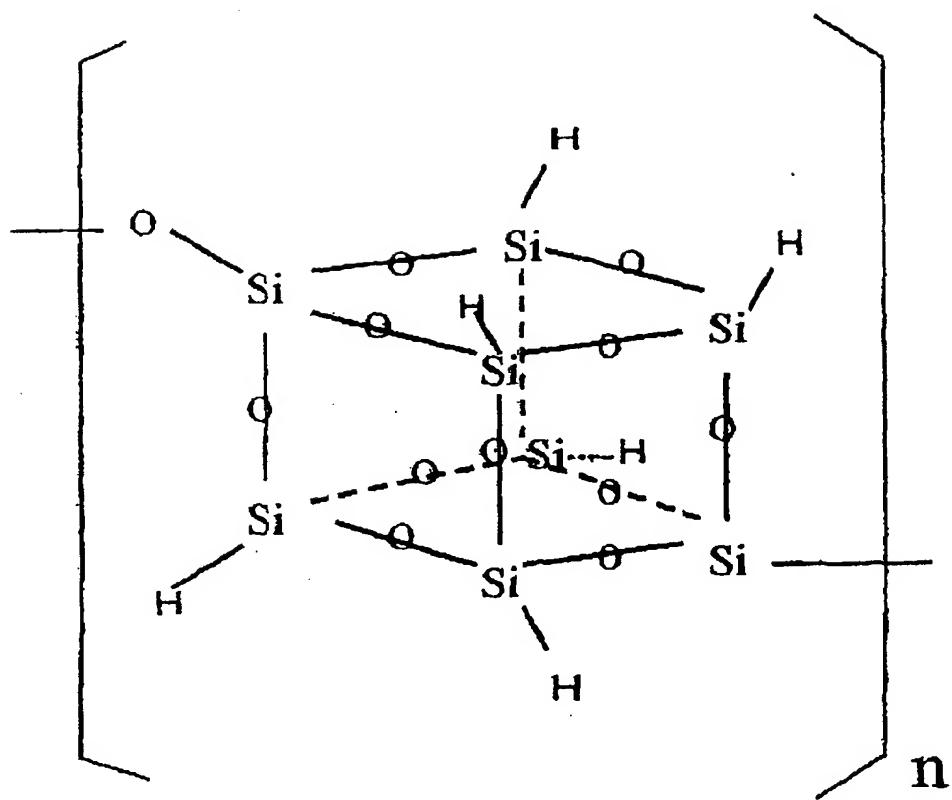
【図 1】



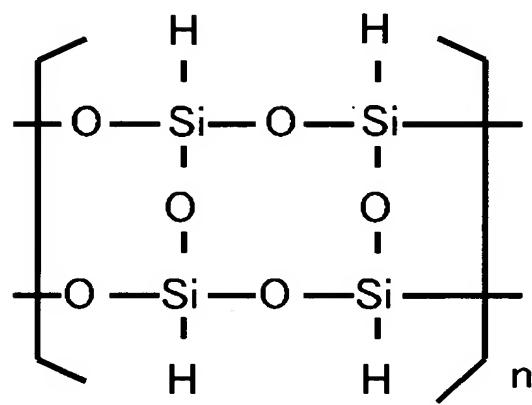
【図 2】



【図3】



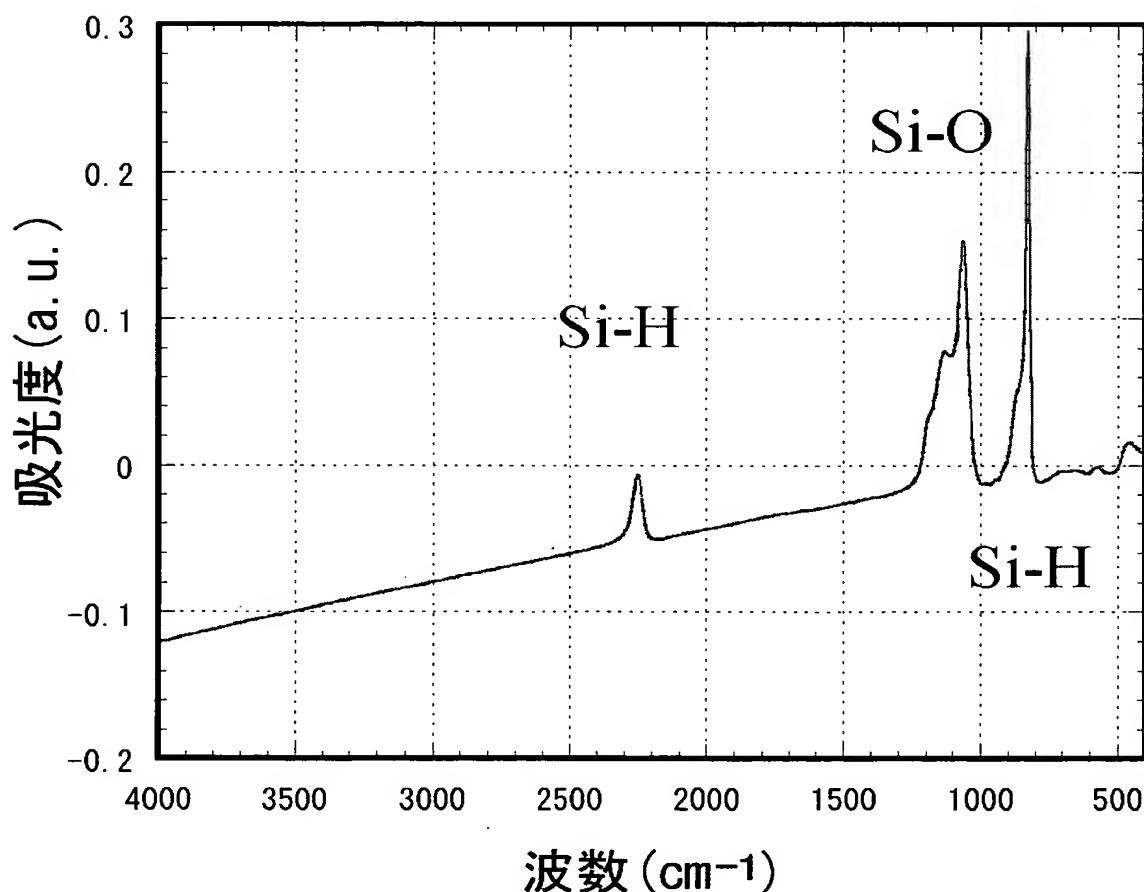
【図4】



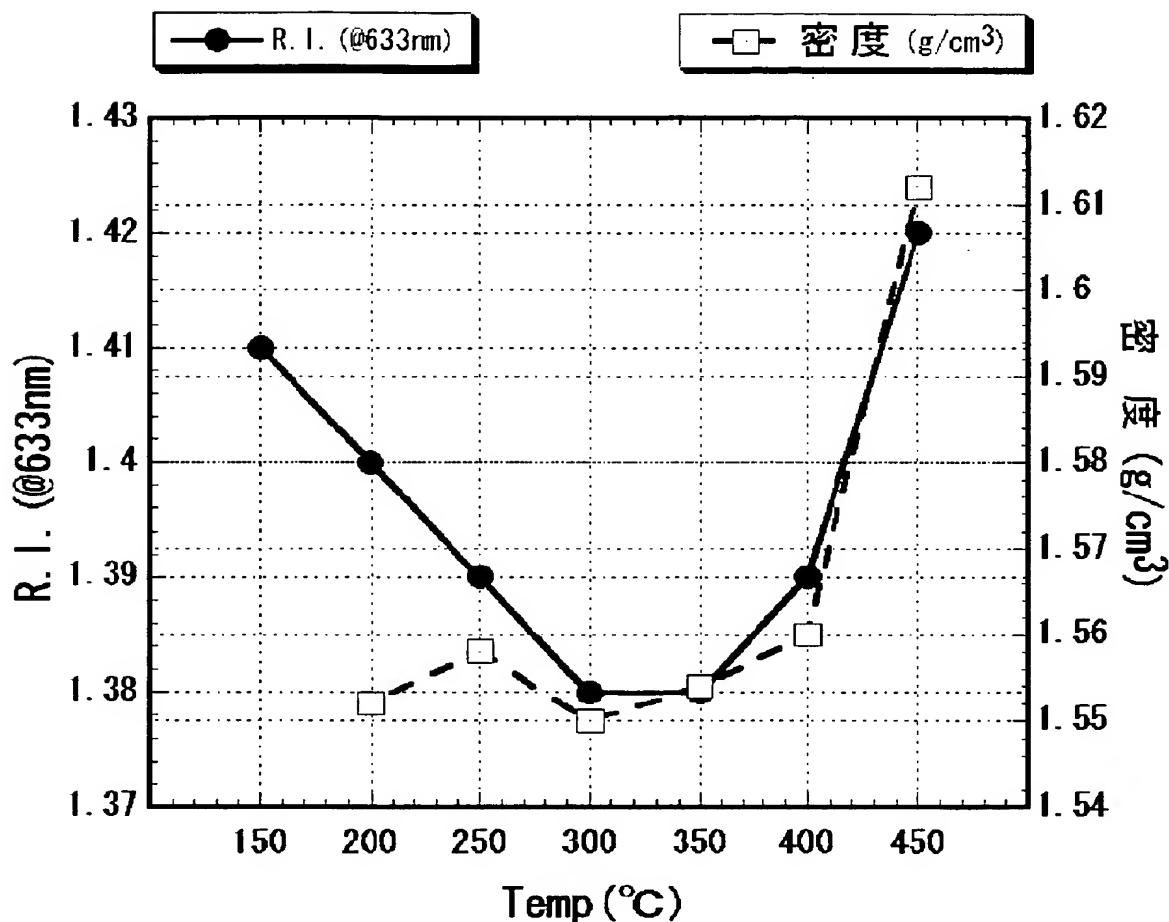
【図 5】

誘電率 (@1MHz)	2.9
屈折率 (@633nm)	1.39
応力 (dyne/cm ²)	7.00E+08
硬度 (Gpa)	0.9
弾性率 (Gpa)	6
熱膨張係数 (ppm/deg-C)	18
ガラス転位温度 (deg-C)	none
熱伝導率 (W/mk@25 deg-C)	0.31

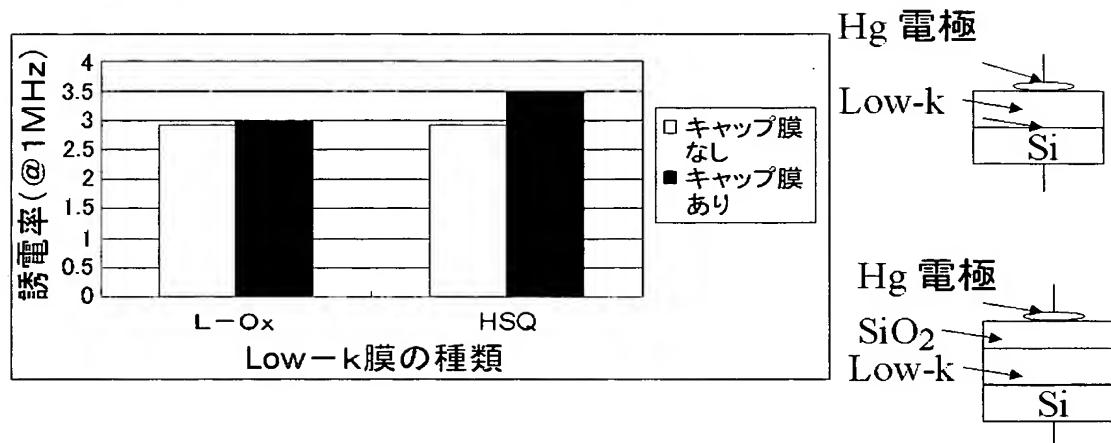
【図 6】



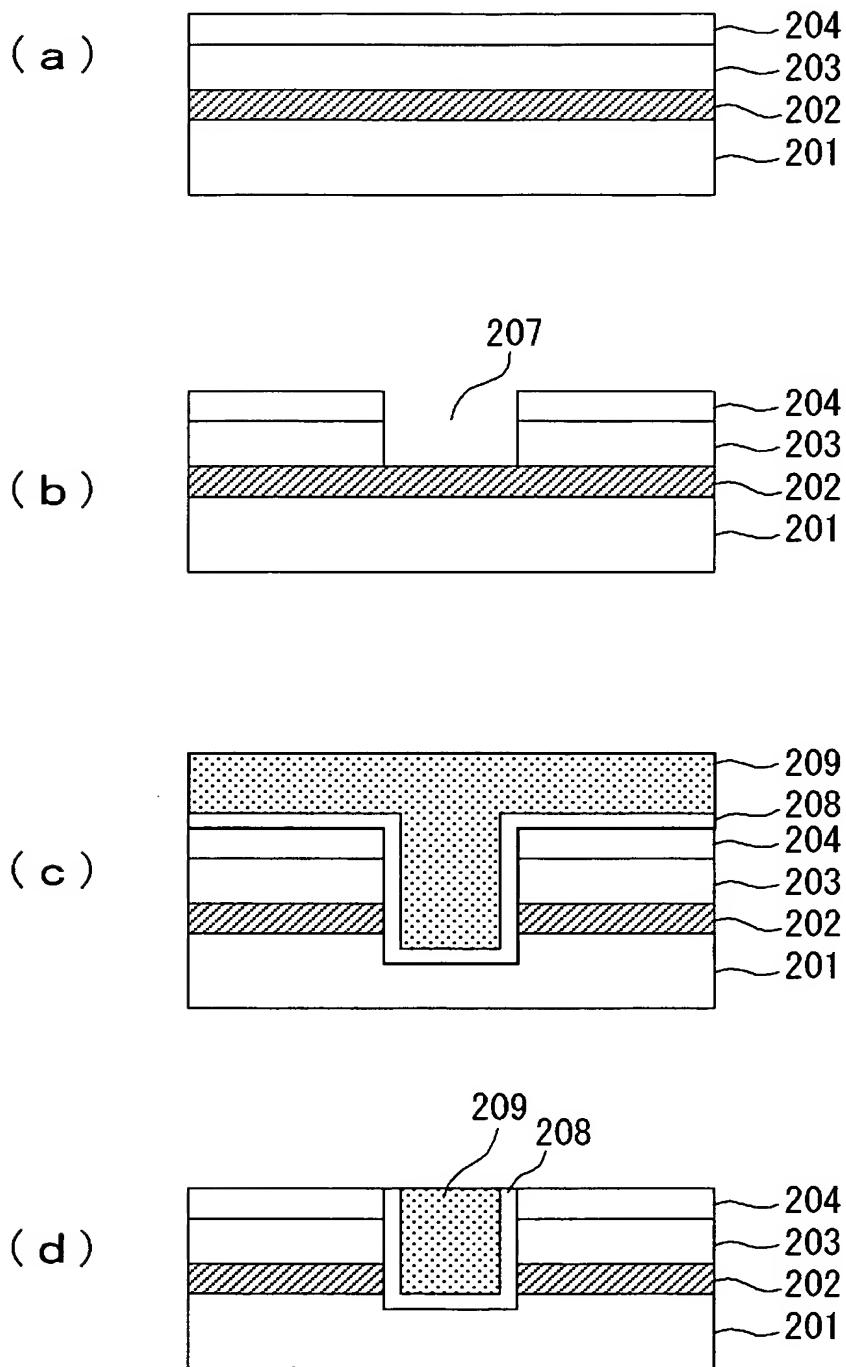
【図 7】



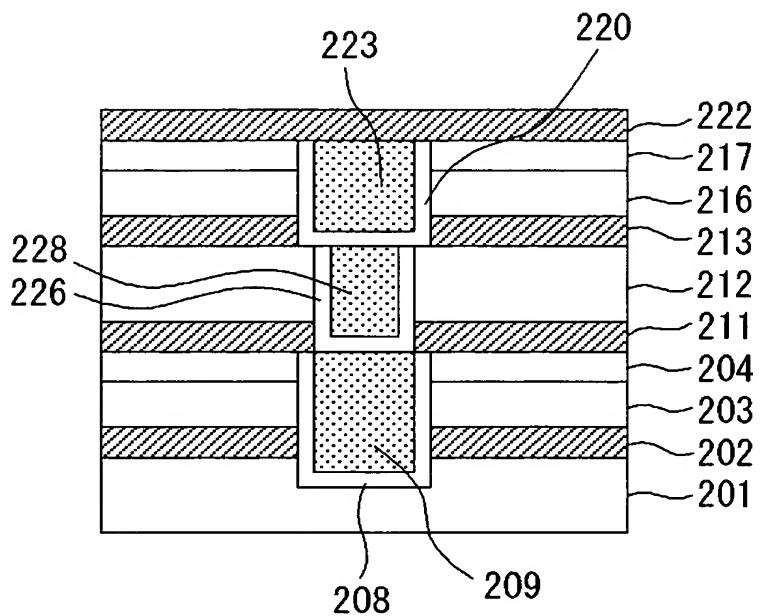
【図 8】



【図 9】

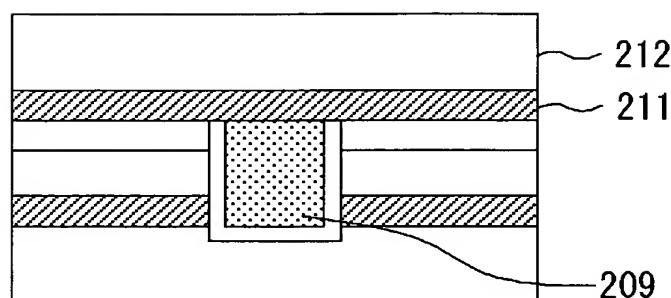


【図10】

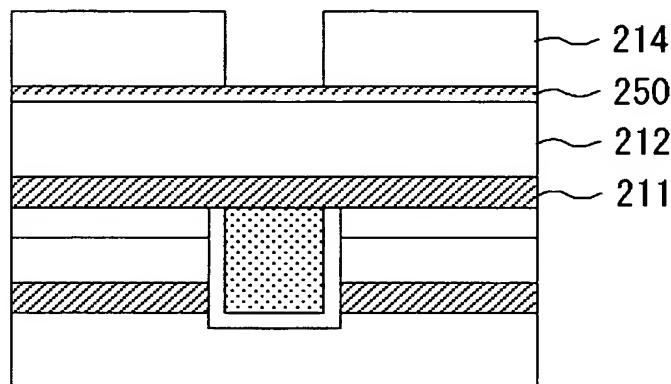


【図 11】

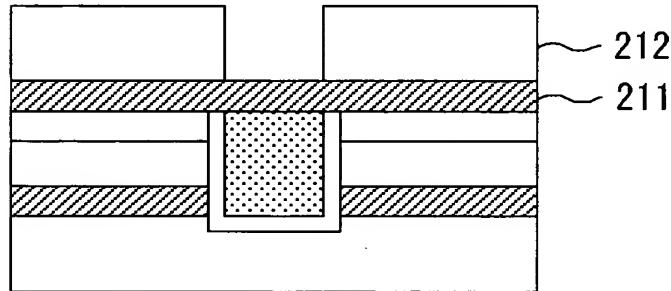
(a)



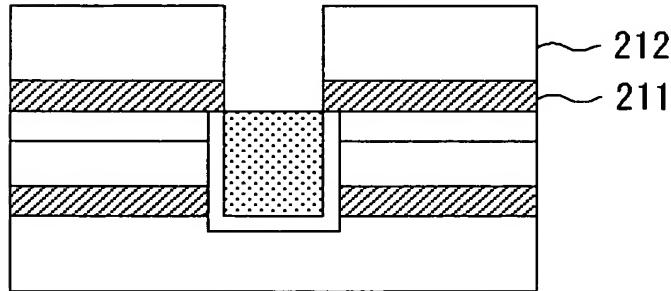
(b)



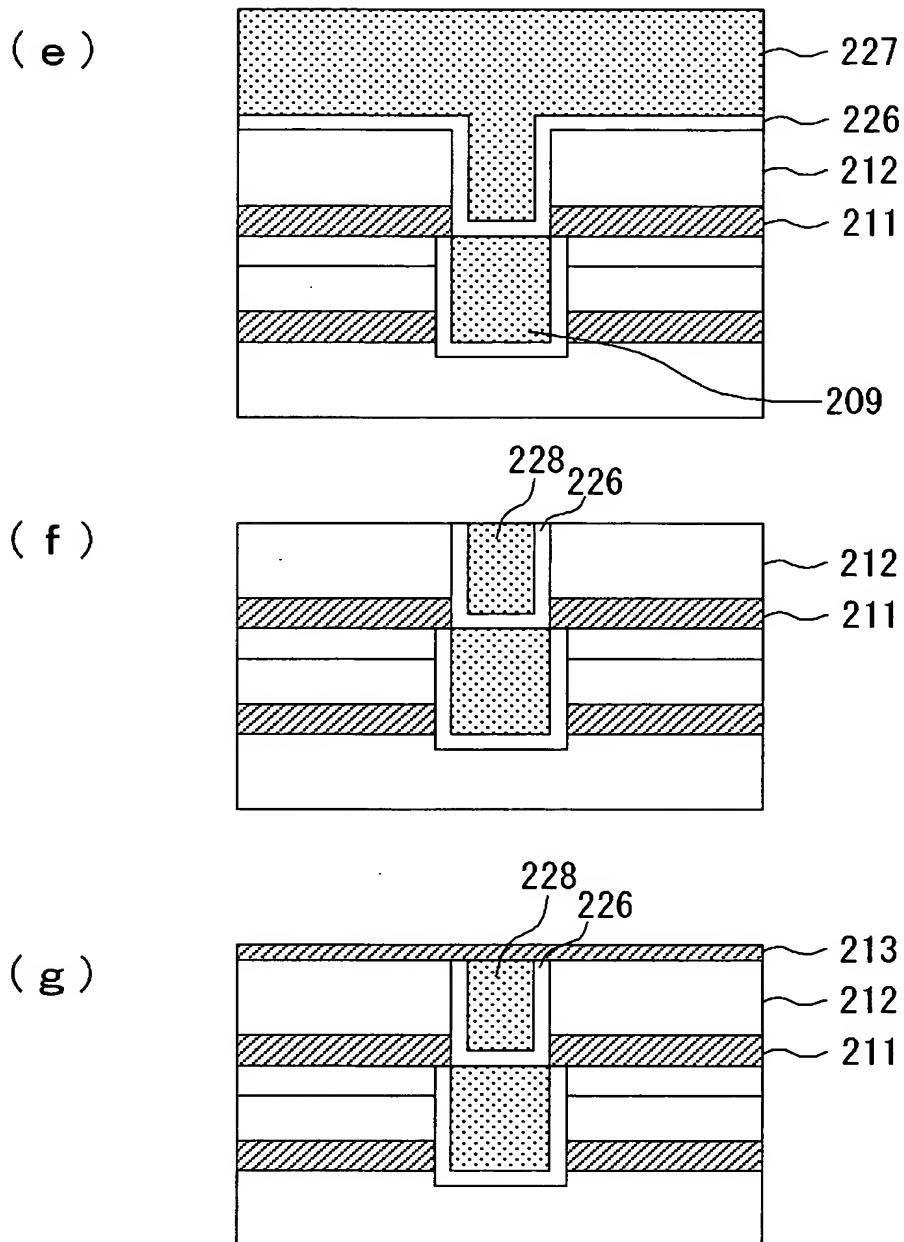
(c)



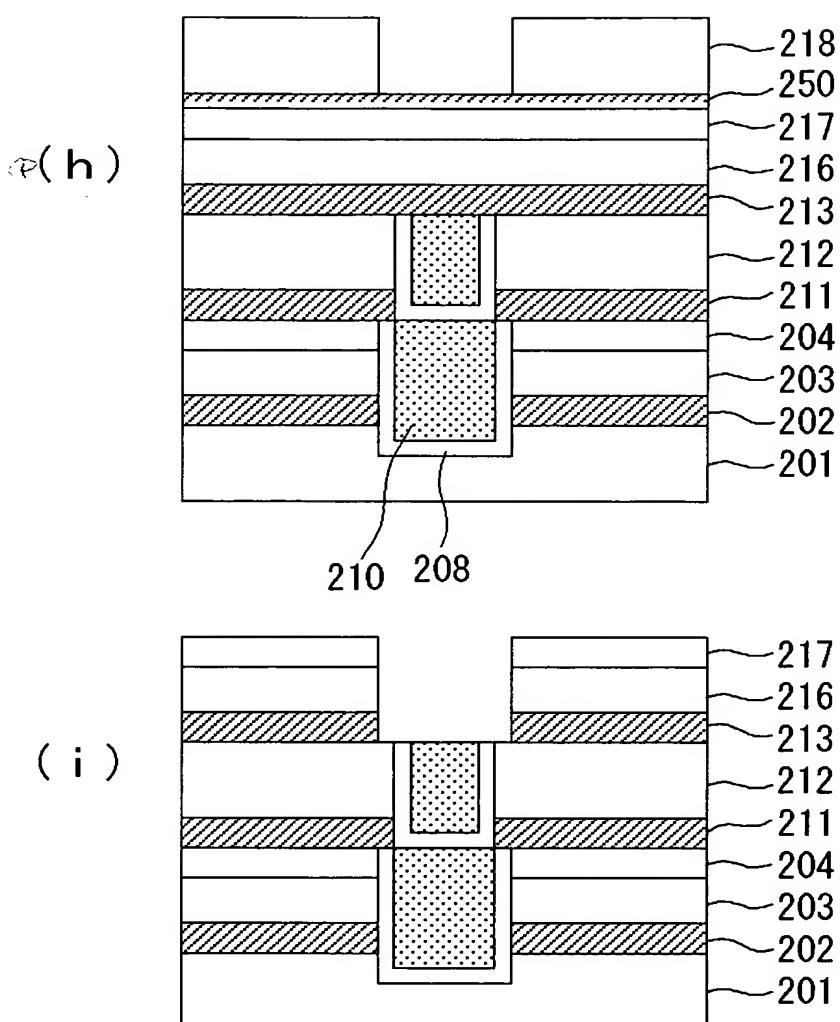
(d)



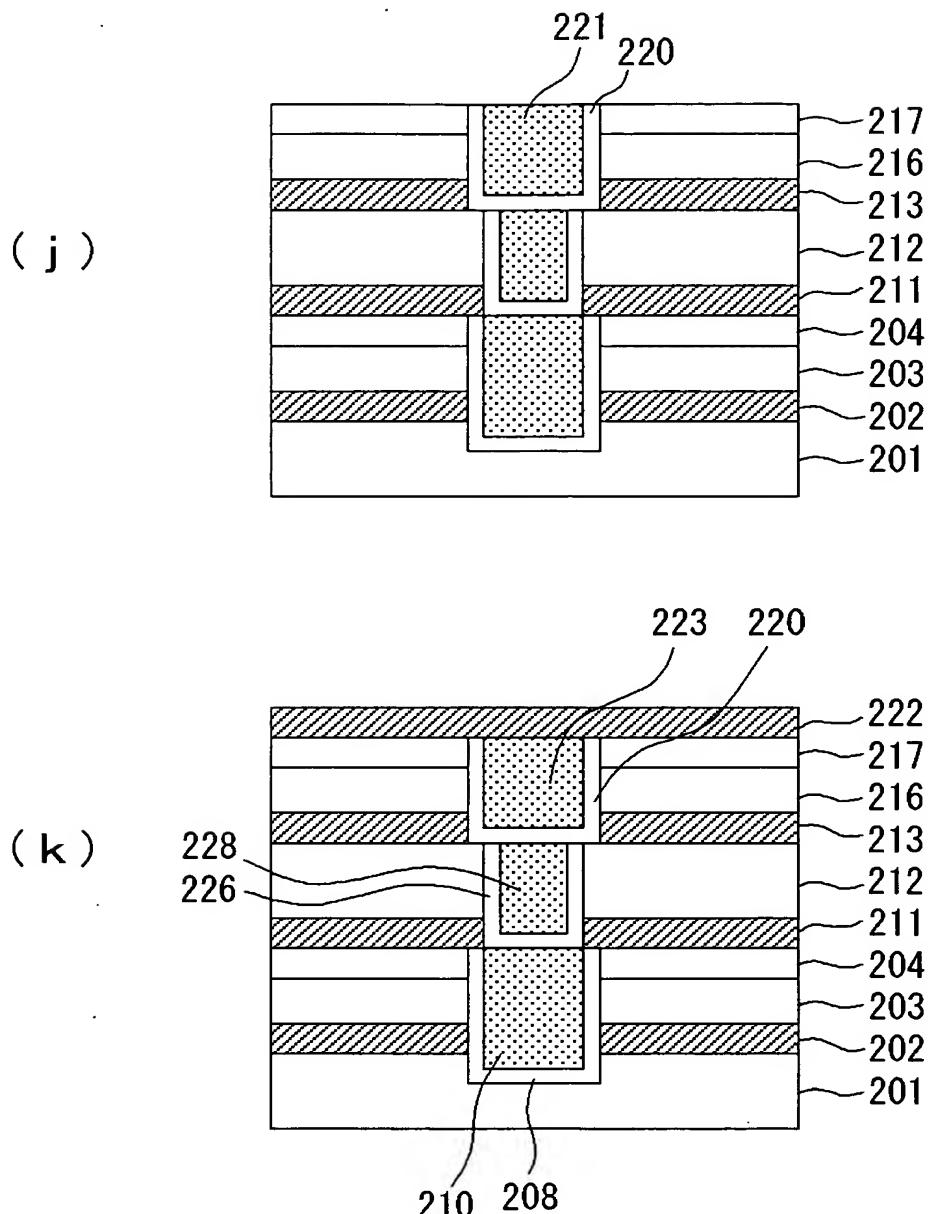
【図12】



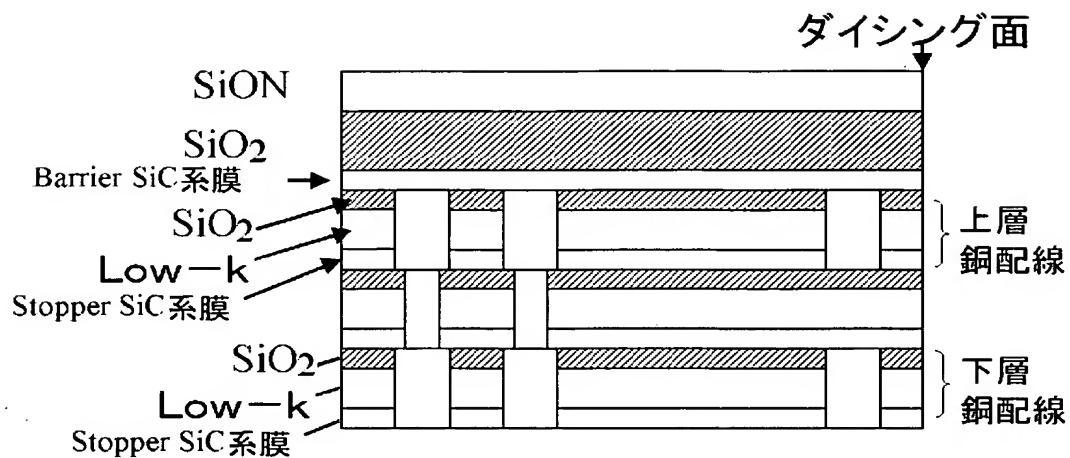
【図13】



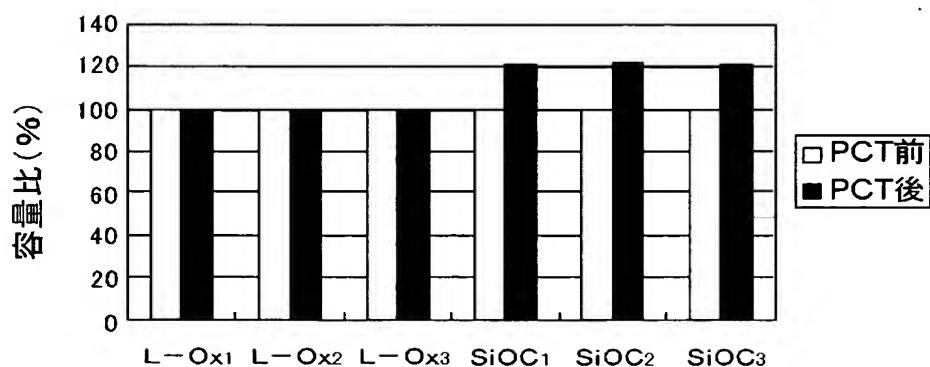
【図14】



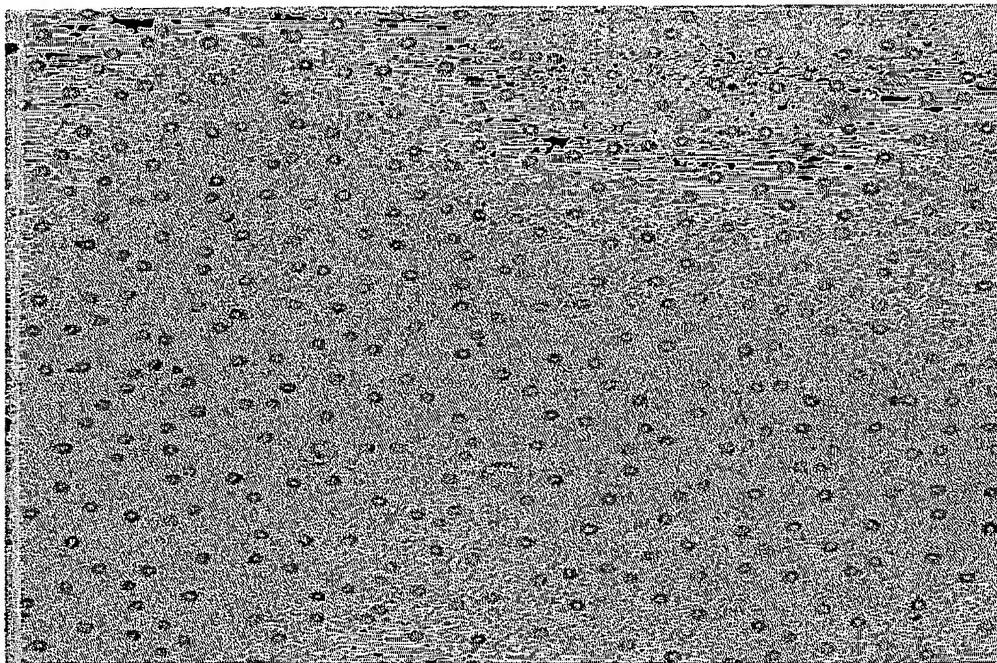
【図 1・5】



【図 1・6】



【図 17】



↔

0.75mm

【図18】

	上層膜			
	SiO ₂ ①	SiO ₂ ②	SiCN	SiCN (CMP)
SiOC	×	×	○	○
ポリフェニレン	×	データなし	○	○
L-Ox	○	データなし	○	○
ポーラスL-Ox	○	データなし	○	○
SiO ₂	データなし	データなし	○	○

	下層膜
	SiCN
SiOC	×
ポリフェニレン	×
L-Ox	○
ポーラスL-Ox	○
SiO ₂	○

【書類名】 要約書

【要約】

【課題】 吸湿による半導体素子の信頼性低下を抑えつつ層間絶縁膜の実効誘電率を低減することを目的とする。

【解決手段】 L-O_x膜203およびSiO₂膜204が積層した層間絶縁膜中にCu膜209からなる銅配線を形成する。L-O_x膜203は梯子型水素化シリカ構造を有するため膜厚や膜特性が安定であり、製造プロセス中に膜質が変化することが少ない。

【選択図】 図9

特願 2003-024281

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社